

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In Re Application of: Chen

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: December 23, 2003

Docket No. 250122-1090

For: **Control TFT for OLED Display**

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Control TFT for OLED Display", filed September 18, 2003, and assigned serial number 92125704. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

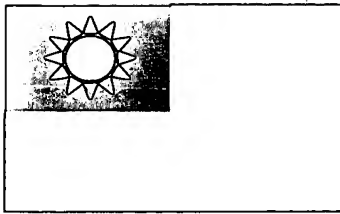
**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:



**Daniel R. McClure; Reg. No. 38,962**

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 09 月 18 日  
Application Date

申 請 案 號：092125704  
Application No.

申 請 人：友達光電股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 10 月 30 日  
Issue Date

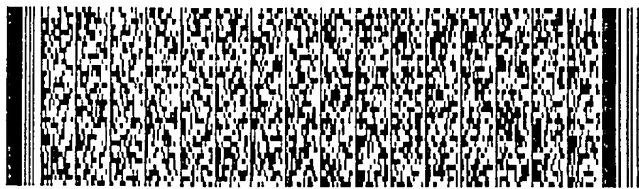
發文字號：09221103340  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	控制薄膜電晶體及其製造方法與含其之電致發光顯示裝置
	英 文	Control TFT for OLED display
二、 發明人 (共1人)	姓 名 (中文)	1. 陳坤宏
	姓 名 (英文)	1. Kun-Hong Chen
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣淡水鎮新興里20鄰新春街81號8樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU Optronics Corp.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. 2, Science-Based Industrial Park, Hsinchu 300, Taiwan, R. O. C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. K. Y. Lee



0632-10263pwF(n1) : AU0304054 : pagev.pdf

四、中文發明摘要 (發明名稱：控制薄膜電晶體及其製造方法與含其之電致發光顯示裝置)

本發明提供一種降低漏電流的控制薄膜電晶體(control TFT)結構，或稱驅動薄膜電晶體(driving TFT)。其中包含一半導體層，例如多晶矽層設置於透明基底上做為通道區域，而多晶矽層之第一側邊具有一輕摻雜區(LDD)與一汲極區，其第二側邊具有一源極區。多晶矽層、輕摻雜區、汲極區與源極區表面覆蓋一絕緣層隔離，而絕緣層上分別具有一源極電極與一汲極電極，穿透該絕緣層與該源極區與該汲極區成電性接觸。而一閘極金屬層設置於絕緣層之中，大體位於多晶矽層正上方以形成電極結構。

伍、(一)、本案代表圖為：第2F圖。

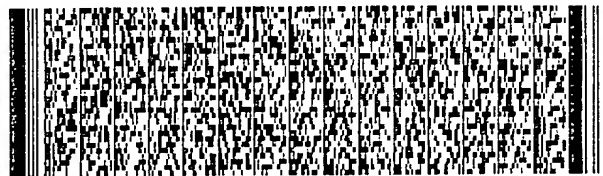
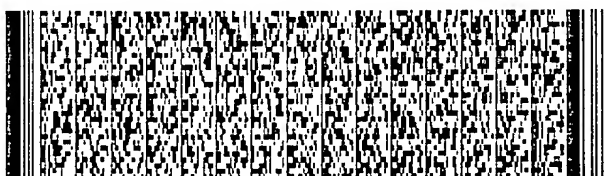
(二)、本案代表圖之元件代表符號簡單說明：

202~透明基底；

203~二氧化矽層；

六、英文發明摘要 (發明名稱：Control TFT for OLED display)

The present invention discloses a control TFT structure (i.e. a driving TFT) for reducing leakage in an OLED display. A semiconductor layer, such as a polysilicon layer, is deposited on a transparent substrate as a channel region. A lightly doped region and a drain region are disposed on one side of the polysilicon layer and a source region is disposed on the opposite side of the polysilicon



四、中文發明摘要 (發明名稱：控制薄膜電晶體及其製造方法與含其之電致發光顯示裝置)

204' ~ 多晶矽通道；

206 ~ 源極；

208 ~ 汲極；

210 ~ 絕緣層；

212 ~ 汲極輕摻雜區；

214 ~ 閘極電極；

216 ~ 絕緣層；

218 ~ 汲極電極；

220 ~ 源極電極。

六、英文發明摘要 (發明名稱：Control TFT for OLED display)

layer. An insulating layer is deposited covering the surface of the polysilicon layer, the lightly doped region, and the source/drain regions. A source and drain electrodes are disposed in the insulating layer, electrically connecting the source and drain region respectively. A gate metal layer is disposed on the insulating layer, approximately on the right top of the polysilicon



四、中文發明摘要 (發明名稱：控制薄膜電晶體及其製造方法與含其之電致發光顯示裝置)

六、英文發明摘要 (發明名稱：Control TFT for OLED display)

layer to form a transistor structure.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間。

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係關於薄膜電晶體平面顯示器(TFT flat panel display)，特別有關於改善有機電激發光(OLED)顯示器的控制薄膜電晶體(control TFT)的漏電流。

### 【先前技術】

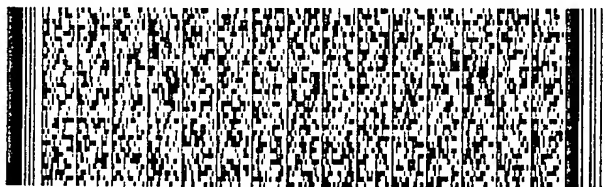
在顯示器領域中，平面顯示器已廣泛用於各種電子產品，包含筆記型電腦或小尺寸電視等。而目前，液晶顯示器(liquid crystal display, LCD)則是其中發展最快速的平面顯示技術。

液晶顯示器採用薄膜電晶體(thin-film-transistors, TFT)技術作主動式定址(Active addressing)，亦即以薄膜電晶體個別對畫素定址。目前，由於TFT製程的快速發展，大尺寸的LCD螢幕也在市場上推出。

然而，習知的TFT-LCD面板由於透光率(transmittance)較低，特別是彩色面板更為明顯，因此必須搭配背光模組。對於日益興盛的攜帶式電子產品而言，背光模組的高耗電量，則成為應用上的侷限。

此外，平面顯示器也因為必須附加背光模組，導致其薄化限制。例如，採用習知的螢光燈管作為背光模組時，則顯示器厚度需增加3/4至1英吋。也因此，增加平面顯示器重量。

目前，不需要背光模組的薄膜電晶體電致發光型顯示器(thin-film-transistor-electroluminescent (TFT-EL) display)成為低耗電顯示器的主要發展方向，也同時避





## 五、發明說明 (2)

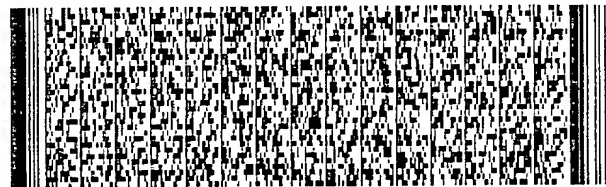
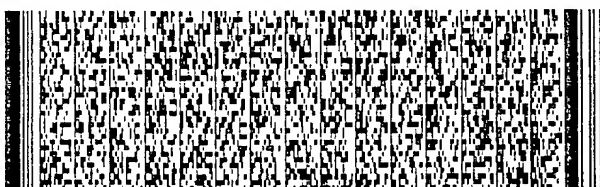
免了附加背光模組導致的各項缺點。一般而言，薄膜電晶體電致發光型顯示器的畫素可自行定址發光，因此無須額外加裝背光模組。

目前廣泛發展的電致發光型顯示器為有機電激發光顯示器(Organic Electroluminescence Device, Organic Light Emitting Diode, 以下簡稱OLED)。第1圖所示為一種習知TFT-EL顯示器的OLED驅動電路。一般而言，OLED( $O_{10}$ )乃由兩個薄膜電晶體( $T_{10}$ 與 $T_{20}$ )與一個電容器( $C_{10}$ )控制。當掃瞄線 $S_{10}$ 被驅動，開關薄膜電晶體(Switch TFT) $T_{10}$ 則被開啟，而訊號則由資料線 $D_{10}$ 輸入電容 $C_{10}$ 。而當電容 $C_{10}$ 蓄電後，電源 $V$ 根據控制薄膜電晶體(control TFT) $T_{20}$  (或稱驅動薄膜電晶體, driving TFT)之I-V特性與電容 $C_{10}$ 之電位供給電流以驅動OLED( $O_{10}$ )。

其中，開關薄膜電晶體(Switch TFT) $T_{10}$ 開啟時，係對電容 $C_{10}$ 進行充電之動作。而充電完成後，開關薄膜電晶體(Switch TFT) $T_{10}$ 關閉，此時電容 $C_{10}$ 的電壓值負責控制薄膜電晶體(control TFT) $T_{20}$ 閘極電壓，因此也影響控制薄膜電晶體的導通電流，OLED( $O_{10}$ )則因導通電流的大小控制發光材料的明亮及灰階。因此，當開關薄膜電晶體(Switch TFT) $T_{10}$ 關閉時，驅動電路中的漏電流會導致電容 $C_{10}$ 的電容值改變，使導通電流降低，因此畫素的明亮或灰階調整也產生誤差。

### 【發明內容】

為了減少上述驅動電路在開關薄膜電晶體(switch



### 五、發明說明 (3)

TFT) 關閉後的漏電流，本發明的一個目的在於提供一種控制薄膜電晶體 (control TFT) 結構及含其之電致發光顯示裝置，用以降低畫素驅動電路間的漏電流。

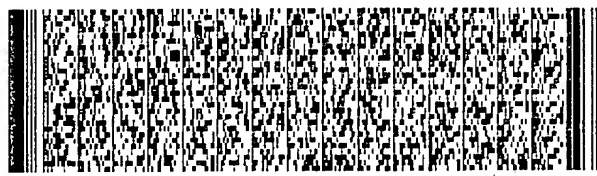
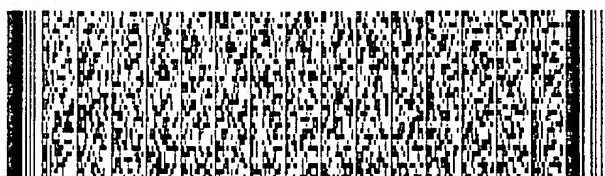
本發明的再一個目的在於提供一種製造上述控制薄膜電晶體結構 (control TFT) 的方法。

為達上述目的，本發明提供一種控制薄膜電晶體 (control TFT) 結構，或稱驅動薄膜電晶體 (driving TDT)，包含：一基底，例如透明玻璃基底；一半導體層，例如一多晶矽層設置於透明基底上做為通道區域；多晶矽層之第一側邊具有一輕摻雜區 (LDD) 與一汲極區，而該輕摻雜區之摻質濃度低於汲極區；一源極區設置於多晶矽層之第二側邊，與該第一側邊相對；一絕緣層覆蓋於多晶矽層、輕摻雜區、汲極區與源極區表面，而絕緣層上分別具有一源極電極與一汲極電極，穿透該絕緣層與該源極區與該汲極區成電性接觸；以及，一閘極金屬層設置於絕緣層之中，大體位於多晶矽層正上方。

本發明更提供另一種控制薄膜電晶體 (control TFT) 結構，其特徵在於源極區與汲極區均具有輕摻雜區，而汲極區的輕摻雜區長度大於源極區之輕摻雜區。

本發明更對應上述結構，提供其製造方法，其特徵在於在以第一光阻層定義半導體層上的源極與汲極區後，再以第二光阻層定義單邊的汲極輕摻雜區，或者定義源極與汲極的輕摻雜區，而汲極輕摻雜區需大於源極輕摻雜區。

而根據上述本發明之控制薄膜電晶體，可應用於電致



#### 五、發明說明 (4)

發光顯示裝置(OLED display)中。其特徵在於當電致發光顯示裝置一邊對構成顯示畫面之複數畫素依序掃描，一邊對該掃描過之畫素供給對應畫像訊號之電流，藉此來讓電致發光單元發光，從而讓對應於上述畫像訊號之畫像在上述顯示畫面進行顯示時，用以供給上述對應畫像訊號之電流的控制薄膜電晶體係為本發明之控制薄膜電晶體所構成。

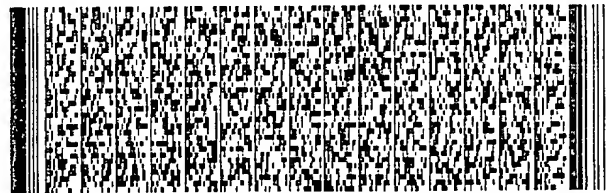
為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

#### 【實施方式】

##### 第一實施例

以下以第2A至2F圖詳細說明根據本發明之一實施例中，形成汲極區單邊輕摻雜區(lightly doped drain region, LDD)之控制薄膜電晶體(control TFT)的方法流程及其形成的控制薄膜電晶體。

首先參見第2A圖，在一透明玻璃基底202上，可選擇性的沈積一絕緣層203，例如以電漿強化化學氣相沈積法(PECVD)形成二氧化矽層( $\text{SiO}_2$ )或氮化矽層( $\text{SiN}_x$ )，用以預防玻璃基底中的鈉離子在後續製程中，擴散至電晶體中。接著在透明玻璃基底202表面沈積一非晶矽層，例如以電漿強化化學氣相沈積法(PVCVD)形成約50 nm的非晶矽層(amorphous silicon, 或簡稱a-Si) 204。再藉由微影製程將其定義蝕刻形成非晶矽層凸塊。接著，再以準分子雷射，如Excimer( $\text{XeCl}$ )雷射作為熱源，經過光學透鏡組後



#### 五、發明說明 (5)

產生線型能量分佈的平行雷射光，投射在非晶矽層凸塊上，使非晶矽層在低於 $600^{\circ}\text{C}$ 下結晶為低溫多晶矽層(polysilicon)凸塊204，如第2B圖所示。上述將非晶矽層結晶化與定義之步驟，亦可根據製程需要而調換順序。

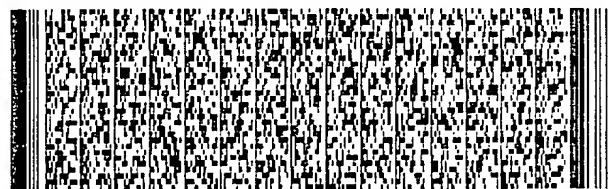
接著仍參見第2B圖，接著以微影製程，定義並蝕刻形成一圖案化光阻205，露出多晶矽層凸塊204上預定形成汲極與源極之區域，並以光阻層205為幕罩，進行p型離子之植入( $p^{+}$ )，形成摻質濃度較高的源極206與汲極208，而中間未受離子摻雜之多晶矽層則作為通道204'。

在移除光阻層205後，接著如第2C圖所示，在基底202表面沈積一絕緣層210，例如形成二氧化矽層，作為閘極介電層。接著再以微影製程，在絕緣層210上定義並蝕刻形成圖案化的光阻層211，露出汲極208與多晶矽層204'間的部分表面，而源極區206與多晶矽層通道204'則完全遮蓋。接著，再度進行低量p型離子之植入( $p^{-}$ )，形成低摻質濃度的汲極輕摻雜區212。

接著將該透明基底202進行快速熱處理(rapid thermal process)，使上述植入之離子趨入多晶矽層中。

其次，參見第2D圖，沈積或濺鍍形成金屬閘極材料，如鋁、鉻或鉬鎢合金等金屬材料，以微影方式定義並蝕刻形成閘極電極214，大體位於多晶矽層凸塊204的中間位置。

接著，如第2E圖所示，沈積一絕緣保護層216，如二氧化矽，覆蓋於透明基底202表面，使閘極電極208介於絕



## 五、發明說明 (6)

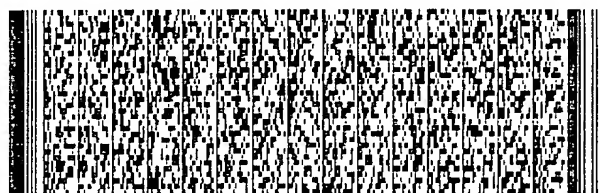
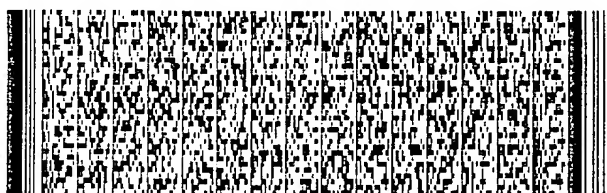
緣層之中，而透明基底上的元件結構亦與外界隔離。

最後，以微影製程定義並蝕刻保護層216與介電層210，以形成開口露出其下的源極區206與汲極區208。接著，在開口中填充導電材料形成源極電極220與汲極電極218，分別與源極區206與汲極區208成電性連結，而形成根據本發明之具有汲極區單邊輕摻雜區，NMOS型控制TFT結構。上述步驟中的離子植入亦可進行n型離子之植入，則形成PMOS型控制TFT結構。

### 第二實施例

以下以第3A至3F圖詳細說明根據本發明之一實施例中，形成源極輕摻雜區小於汲極輕摻雜區之控制薄膜電晶體(control TFT)的方法流程，及其形成的控制薄膜電晶體。

首先參見第3A圖，在一透明玻璃基底302上，選擇性的沈積一絕緣層303，例如以電漿強化化學氣相沈積法(PVCVD)形成二氧化矽層或氮化矽層( $\text{SiN}_x$ )，可用以預防玻璃基底中的鈉離子在後續製程中，擴散至電晶體中。接著在透明玻璃基底302表面沈積一非晶矽層，例如以電漿強化化學氣相沈積法(PECVD)形成約50 nm的非晶矽層(amorphous silicon, 或簡稱a-Si)304。並藉由微影製程將其定義蝕刻形成非晶矽層凸塊。接著，再以準分子雷射，如Excimer雷射作為熱源，經過光學透鏡組後產生線型能量分佈的平行雷射光，投射在非晶矽層凸塊上，使非晶矽層在低於600°C下結晶為低溫多晶矽層(polysilicon)



#### 五、發明說明 (7)

凸塊304，如第3B圖所示。上述將非晶矽層結晶化與定義之步驟，亦可根據製程需要而調換順序。

接著仍參見第3B圖，以微影製程，定義並蝕刻形成一圖案化光阻層305，露出多晶矽層凸塊304上預定形成汲極與源極之區域，並以光阻層305為幕罩，進行p型離子之植入(p+)，形成摻質濃度較高的源極306與汲極308，而中間未受離子摻雜之多晶矽層則作為通道304'。

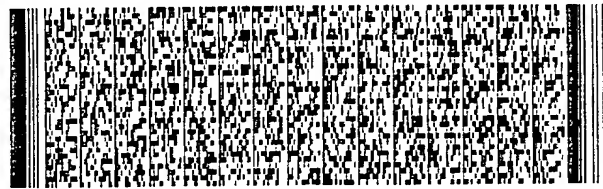
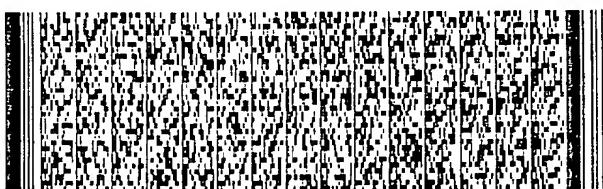
在移除光阻層305後，接著如第3C圖所示，在基底302表面沈積一絕緣層310，例如形成二氧化矽層，作為閘極介電層。接著再以微影製程，在絕緣層310上定義並蝕刻形成圖案化的光阻層311，露出汲極308與多晶矽層304'間的部分表面，其長度為d2，與源極206與多晶矽層204'之間的部分表面，其長度為d1，而d2需大於d1。接著，以光阻層311為幕罩，進行低量p型離子之植入(p-)，形成低摻質濃度的汲極輕摻雜區312與源極輕摻雜區313。

接著將該透明基底302進行快速熱處理(rapid thermal process)，使上述植入之離子趨入多晶矽層中。

其次，參見第3D圖，沈積或濺鍍金屬閘極材料，如鋁、鉻或鉬鎢合金等金屬材料，以微影方式定義並蝕刻形成閘極電極314，大體位於多晶矽層凸塊304的中間位置。

接著，如第3E圖所示，積一絕緣保護層316，如二氧化矽，覆蓋於透明基底302表面，使閘極電極308介於絕緣層之中，而透明基底上的元件結構亦與外界隔離。

最後，以微影製程定義並蝕刻保護層316與介電層310



#### 五、發明說明 (8)

，以形成開口露出其下的源極區306與汲極區308。接著，在開口中填充導電材料形成源極電極320與汲極電極318，分別與源極區306與汲極區308成電性連結，而形成根據本發明之具有雙邊不對稱型輕摻雜之NMOS型控制TFT結構。上述步驟中的離子植入亦可進行n型離子之植入，則形成PMOS型控制TFT結構。

而上述第一或第二實施例中的控制TFT結構，均可搭配一般的電致發光顯示裝置之製程，作為各畫素中的控制TFT。

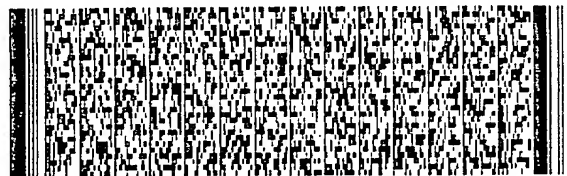
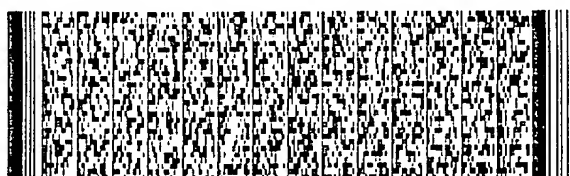
#### 電性測試

以下進一步比較本發明之具單邊輕摻雜區控制TFT與習知控制TFT的一些電性測試比較。

#### 漏電流測試

第4A圖顯示不具輕摻雜區與具單邊汲極輕摻雜區p型TFT，在高電壓區的漏電流表現。由第4A圖可以看出，當施加-10V汲極電壓( $V_d$ )時，沒有輕摻雜區的p型TFT，其閘極電壓( $V_g$ )與汲極電流( $I_d$ )間的分佈如曲線I所示，而具有單邊汲極輕摻雜區的p型TFT，其分佈如曲線II所示。由4A圖中可以明顯看出，當閘極電壓在10V至15V之間時，具有單邊輕摻雜區的p型TFT(曲線I)，其電流量明顯低於沒有輕摻雜區者(曲線II)，顯示在汲極端形成單邊輕摻雜區有效降低高電壓區的漏電流問題。

同樣的，第4B圖顯示不具輕摻雜區的n型TFT，當均施加10V汲極電壓( $V_d$ )時，其閘極電壓( $V_g$ )與汲極電流( $I_d$ )



#### 五、發明說明 (9)

間的分佈如曲線I所示，而具有單邊汲極輕摻雜區的n型TFT，其分佈如曲線II所示。由圖中可以明顯看出，當閘極電壓在-5V至-15V之間時，具有單邊輕摻雜區的n型TFT（曲線I），其電流量明顯低於沒有輕摻雜區者（曲線II），顯示對n型TFT而言，汲極端形成單邊輕摻雜區同樣有效降低高電壓區漏電流問題。

導通電流(Mobility)測試

第一表

	單側輕摻雜區	無輕摻雜區	雙側對稱輕摻雜區
Ufe	166	165	123

在第一表中，分別對本發明之具單側輕摻雜區之控制TFT與習知的無輕摻雜區，以及具有雙邊對稱式輕摻雜區（即，源極區與汲極區與閘極電極間，各具有相同長度的輕摻雜區）的控制TFT做比較。由第一表中可以明顯看出習知的雙側對稱輕摻雜區雖然也是基於降低控制TFT的漏電流而設計，然而缺點在於其導通電流(123)比無輕摻雜區者(165)大幅降低約25%左右。而反觀本發明之具單側輕摻雜區者(166)，其導通電流仍與無輕摻雜區者相近，顯示本發明之控制TFT結構除了達成有效降低漏電流外，其導通電流也不會因而下降。

根據上述電性測試可知，電致發光型顯示器中，其高電壓與控制薄膜電晶體(control TFT)之汲極端相接，因





#### 五、發明說明 (10)

此，單側汲極端輕摻雜區，或者雙側之汲極端輕摻雜區大於源極端之控制TFT結構，均可有效解決畫素中不必要的漏電流，同時保持導通電流。

雖然本發明以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖所示為一種習知TFT-EL顯示器的OLED驅動電路。

第2A至2F圖所示為根據本發明之一實施例中，形成單邊輕摻雜區之控制薄膜電晶體(control TFT)的方法流程及其形成的控制薄膜電晶體。

第3A至3F圖所示為根據本發明之一實施例中，形成雙邊不對稱輕摻雜區之控制薄膜電晶體(control TFT)的方法流程。

第4A與4B圖所示為根據本發明，不具輕摻雜區與具單邊汲極輕摻雜區之p型TFT與n型TFT，在高電壓區的漏電流表現。

## 【符號說明】

O<sub>10</sub>~OLED畫素；

T<sub>10</sub>~開關薄膜電晶體；

T<sub>20</sub>~控制薄膜電晶體；

D<sub>10</sub>~資料線；

S<sub>10</sub>~掃描線；

C<sub>10</sub>~電容；

202、302~透明基底；

203、303~二氧化矽層；

204、304~多晶矽層；

204'、304'~多晶矽通道；

205、305~光阻層；



圖式簡單說明

- 206、306~源極區；
- 208、308~汲極區；
- 210、310~第一絕緣層；
- 211、311~光阻層；
- 212、312~汲極輕摻雜區；
- 313~源極輕摻雜區；
- 214、314~閘極電極；
- 216、316~第二絕緣層；
- 218、318~汲極電極；
- 220、320~源極電極。



## 六、申請專利範圍

1. 一種控制薄膜電晶體，連結並控制一有機電致發光單元(OLED)，該薄膜電晶體包含：

一基底；

一半導體層設置於該基底上做為通道區域；

一第一與第二摻雜區依序設置於該半導體層之第一側邊，而該第一摻雜區之摻質濃度低於該第二摻雜區，其中，該第一摻雜區係作為單邊汲極輕摻雜區，而該第二摻雜區作為汲極；

一第三摻雜區設置於該半導體層之第二側邊，與該第一側邊相對，而該第三摻雜區係作為源極；

一絕緣層覆蓋於該半導體層、該第一、第二與第三摻雜區表面，其中該絕緣層上分別具有一源極電極與一汲極電極，分別穿透該絕緣層與該源極區與該汲極區成電性接觸，其中，該汲極電極係接收一汲極電壓，而該源極電極連結該有機電致發光單元(OLED)；以及

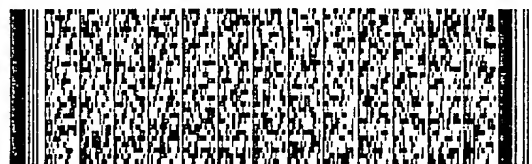
一閘極金屬層設置於該絕緣層之中，大體位於該半導體層正上方。

2. 根據申請專利範圍第1項所述之控制薄膜電晶體，其中該半導體層為多晶矽。

3. 根據申請專利範圍第2項所述之控制薄膜電晶體，其中該第一、第二與第三摻雜區為n型摻雜。

4. 根據申請專利範圍第2項所述之控制薄膜電晶體，其中該第一、第二與第三摻雜區為p型摻雜。

5. 根據申請專利範圍第1項所述之控制薄膜電晶體，



## 六、申請專利範圍

其中該第一、第二與第三摻雜區之主成分為矽。

6. 一種控制薄膜電晶體，連結並控制一有機電致發光單元(OLED)，該薄膜電晶體包含：

一基底；

一半導體層設置於該基底上做為通道區域；

一第一與第二摻雜區依序設置於該半導體層之第一側邊，而該第一摻雜區之摻質濃度低於該第二摻雜區，且該第二摻雜區係作為汲極區；

一第三與第四摻雜區依序設置於該半導體層之第二側邊，與該第一側邊相對，而該第三摻雜區之摻質濃度低於該第四摻雜區，且該第四摻雜區係作為源極區，其中，該第一摻雜區的長度大於該第三摻雜區的長度；

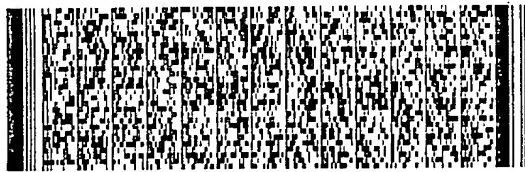
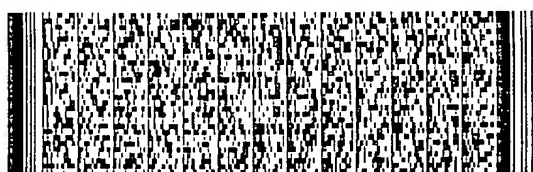
一絕緣層覆蓋於該半導體層、該第一、第二、第三與第四摻雜區表面，其中該絕緣層上分別具有一源極電極與一汲極電極，分別穿透該絕緣層與該源極區與該汲極區成電性接觸其中，該汲極電極係接收一汲極電壓，而該源極電極連結該有機電致發光單元(OLED)；以及

一閘極金屬層設置於該絕緣層中，大體位於該半導體層正上方。

7. 根據申請專利範圍第6項所述之控制薄膜電晶體，其中該半導體層為多晶矽層。

8. 根據申請專利範圍第7項所述之控制薄膜電晶體，其中該第一、第二、第三與第四摻雜區為n型摻雜。

9. 根據申請專利範圍第7項所述之控制薄膜電晶體，



## 六、申請專利範圍

其中該第一、第二、第三與第四摻雜區之摻質為p型摻雜。

10. 根據申請專利範圍第6項所述之控制薄膜電晶體，其中該第一、第二、第三與第四摻雜區之主成分為矽。

11. 一種電致發光顯示裝置，係一邊對構成顯示畫面之複數畫素依序掃描，一邊對該掃描過之畫素供給對應畫像訊號之電流，藉此來讓電致發光單元發光，從而讓對應於上述畫像訊號之畫像在上述顯示畫面進行顯示，其特徵在於，用以供給上述對應畫像訊號之電流的控制薄膜電晶體係由申請專利範圍第1項中之控制薄膜電晶體所構成。

12. 一種電致發光顯示裝置，係一邊對構成顯示畫面之複數畫素依序掃描，一邊對該掃描過之畫素供給對應畫像訊號之電流，藉此來讓電致發光單元發光，從而讓對應於上述畫像訊號之畫像在上述顯示畫面進行顯示，其特徵在於，用以供給上述對應畫像訊號之電流的控制薄膜電晶體係由申請專利範圍第5項中之控制薄膜電晶體所構成。

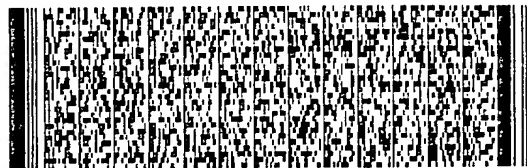
13. 一種製造控制薄膜電晶體的方法，其中該控制薄膜電晶體係用於控制一有機電致發光單元(OLED)之導通電流，該方法包含下列步驟：

提供一基底；

於該基底上形成並定義蝕刻一半導體層凸塊；

形成第一光阻層覆蓋部分該半導體層凸塊，露出預定形成源極與汲極之該半導體層區域；

以該第一光阻層為幕罩，對該半導體層凸塊進行第一



#### 六、申請專利範圍

離子植入以形成一源極區與一汲極區；

去除該第一光阻層；

覆蓋一第一絕緣層於該基底與該半導體層凸塊表面；

形成第二光阻層於該第一絕緣層上，覆蓋該半導體層凸塊未離子植入之區域，僅露出與該汲極區相鄰之部分該半導體層凸塊；

以該第二光阻層為幕罩，對該半導體層凸塊進行第二離子植入，形成摻雜濃度低於該汲極區之一輕摻雜區；

去除該第二光阻層；

於該第一絕緣層上形成並定義蝕刻形成一閘極電極，位於該未摻雜半導體層凸塊上方；

覆蓋一第二絕緣層於該基底、第一絕緣層與該閘極電極表面；以及

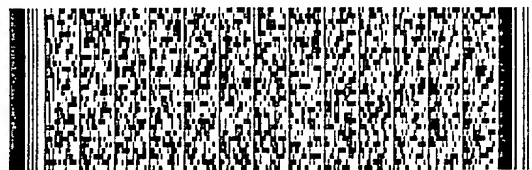
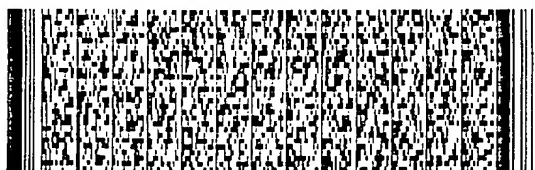
在該第一與第二絕緣層中形成一源極電極與一汲極電極分別與該源極區與汲極區呈電性接觸，其中，該汲極電極係用以接收一汲極電壓，而該源極電極連結該有機電致發光單元(OLED)。

14. 根據申請專利範圍第13項所述之製造控制薄膜電晶體的方法，其中形成該半導體層凸塊包含下述步驟：

形成一非晶矽層；

對該非晶矽層進行一雷射處理以形成多晶矽作為該半導體層。

15. 根據申請專利範圍第14項所述之製造控制薄膜電晶體的方法，其中該第一與第二離子植入之摻質為n型離



## 六、申請專利範圍

子。

16. 根據申請專利範圍第14項所述之製造控制薄膜電晶體的方法，其中該第一與第二離子植入之摻質為p型離子。

17. 根據申請專利範圍第14項所述之製造控制薄膜電晶體的方法，其中該第一與第二絕緣層為二氧化矽。

18. 一種製造控制薄膜電晶體的方法，其中該控制薄膜電晶體係用於控制一有機電致發光單元(OLED)之導通電流，該方法包含下列步驟：

提供一基底；

於該基底上形成並定義蝕刻一半導體層凸塊；

覆蓋一第一絕緣層於該基底與該半導體層凸塊表面；

形成第一光阻層覆蓋部分該半導體層凸塊，露出預定形成源極與汲極之該半導體層區域；

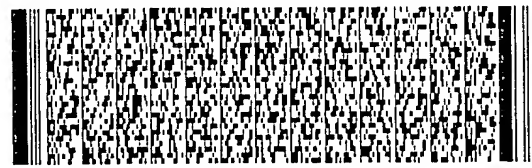
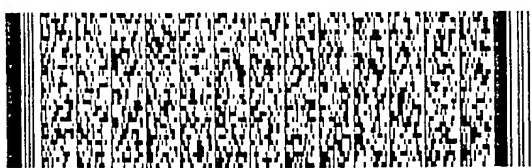
以該第一光阻層為幕罩，對該半導體層凸塊進行第一離子植入以形成一源極區與一汲極區；

去除該第一光阻層；

覆蓋一第二絕緣層於該基底與該半導體層凸塊表面；

形成第二光阻層於該第一絕緣層上，覆蓋該半導體層凸塊未離子植入之區域，分別露出部分與該汲極區與該源極區相鄰之部分該半導體層凸塊，其中與該汲極區相鄰之露出區域大於該源極區者；

以該第二光阻層為幕罩，對該半導體層凸塊進行第二離子植入，形成摻雜濃度低於該汲極區與源極區之一源極





#### 六、申請專利範圍

與一汲極輕摻雜區，而汲極輕摻雜區大於源極輕摻雜區；  
去除該第二光阻層；

於該第一絕緣層上形成並定義蝕刻形成一閘極電極，  
位於該未摻雜半導體層凸塊上方；

覆蓋一第二絕緣層於該基底、第一絕緣層與該閘極電極表面；以及

覆蓋一第二絕緣層於該第一絕緣層及該閘極電極表面

；

蝕刻該第一與第二絕緣層，以形成一源極電極與一汲極電極分別與該源極區與汲極區形成電性接觸，其中，該汲極電極係用以接收一汲極電壓，而該源極電極連結該有機電致發光單元(OLED)。

19. 根據申請專利範圍第18項所述之製造控制薄膜電晶體的方法，其中形成該半導體層凸塊包含下述步驟：

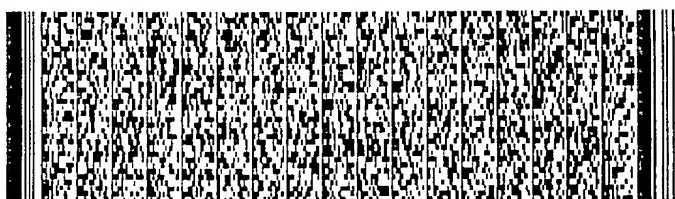
形成一非晶矽層；

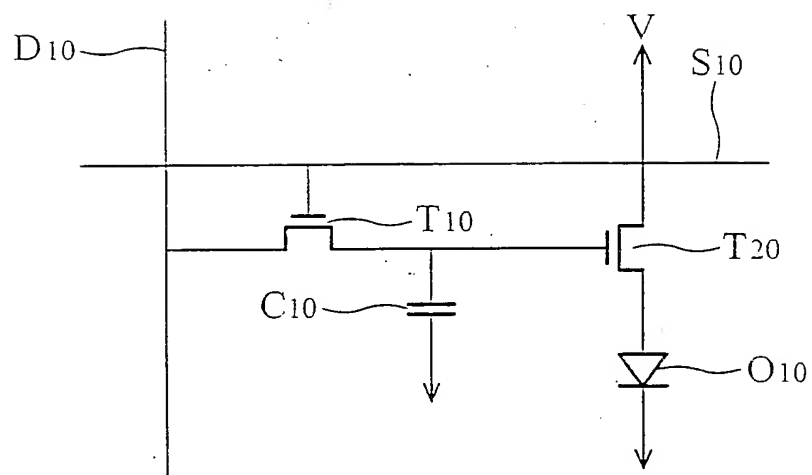
對該非晶矽層進行一雷射處理以形成多晶矽層。

20. 根據申請專利範圍第19項所述之製造控制薄膜電晶體的方法，其中該第一與第二離子植入之摻質為n型離子。

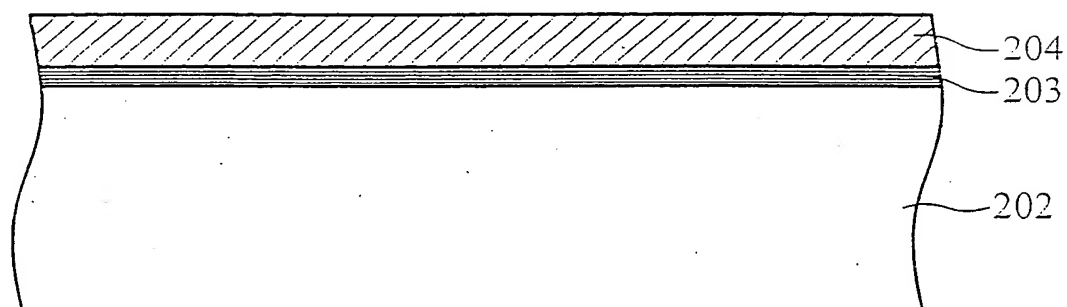
21. 根據申請專利範圍第19項所述之製造控制薄膜電晶體的方法，其中該第一與第二離子植入之摻質為p型離子。

22. 根據申請專利範圍第19項所述之製造控制薄膜電晶體的方法，其中該第一與第二絕緣層為二氧化矽。

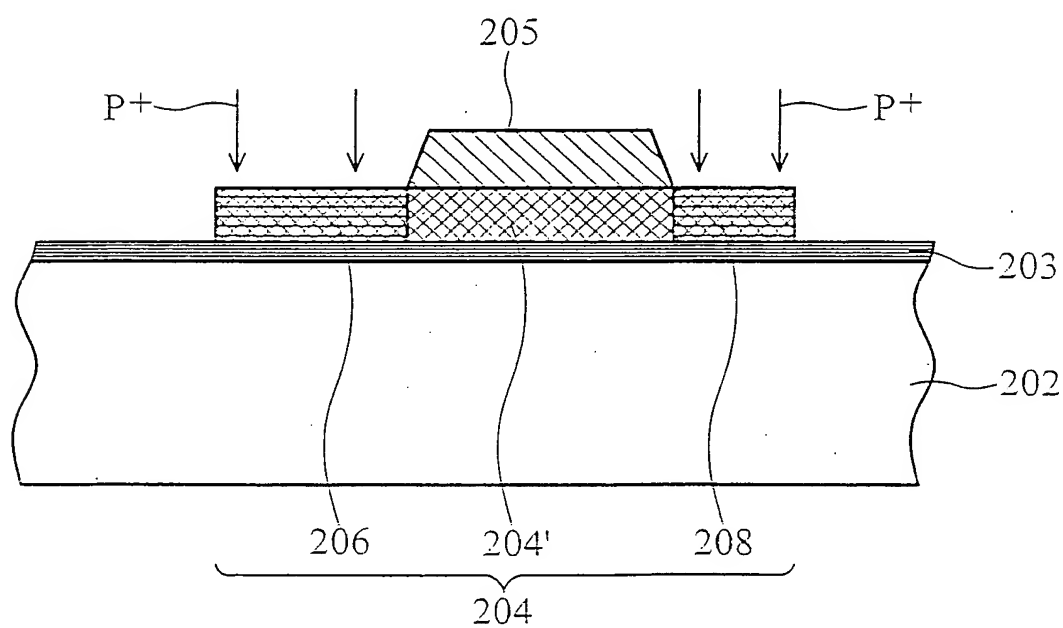




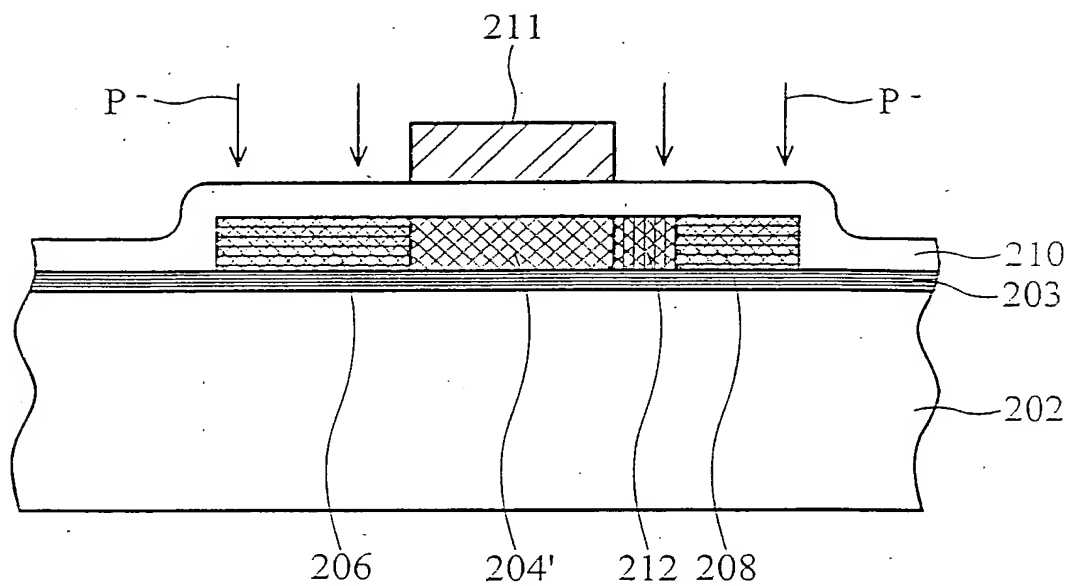
第 1 圖



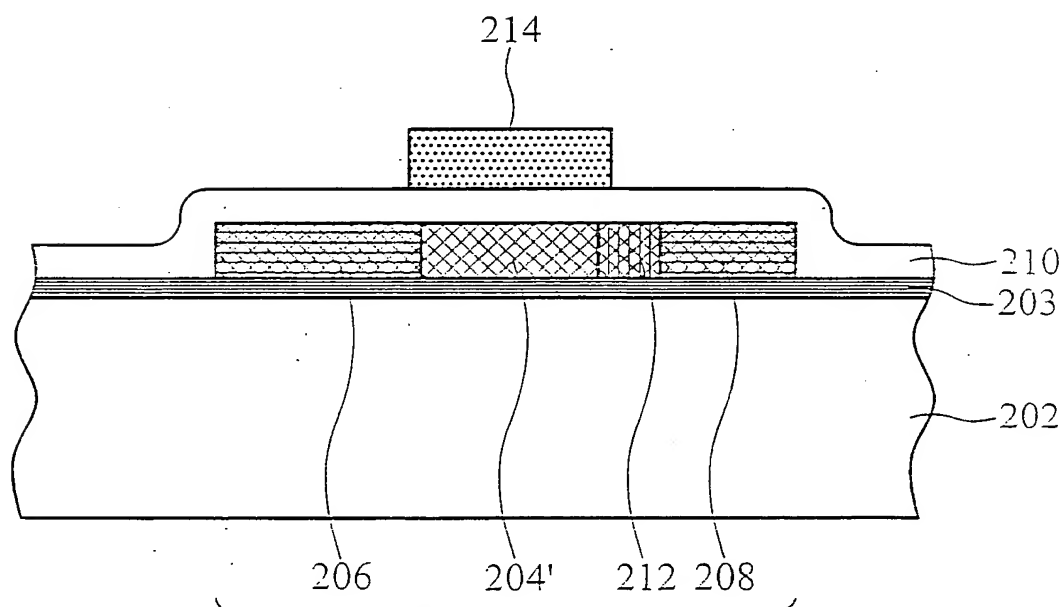
第 2A 圖



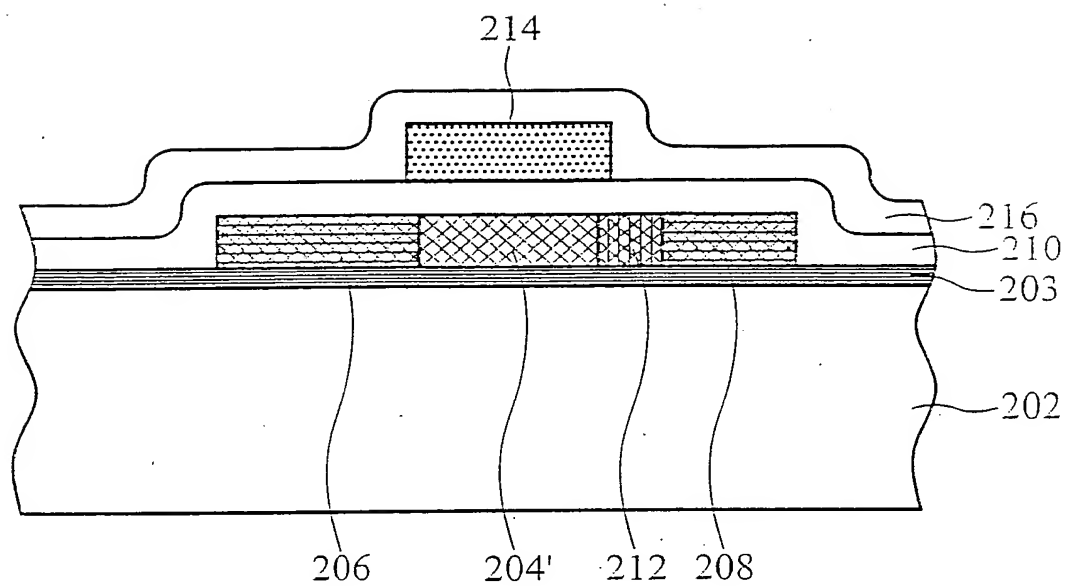
第 2B 圖



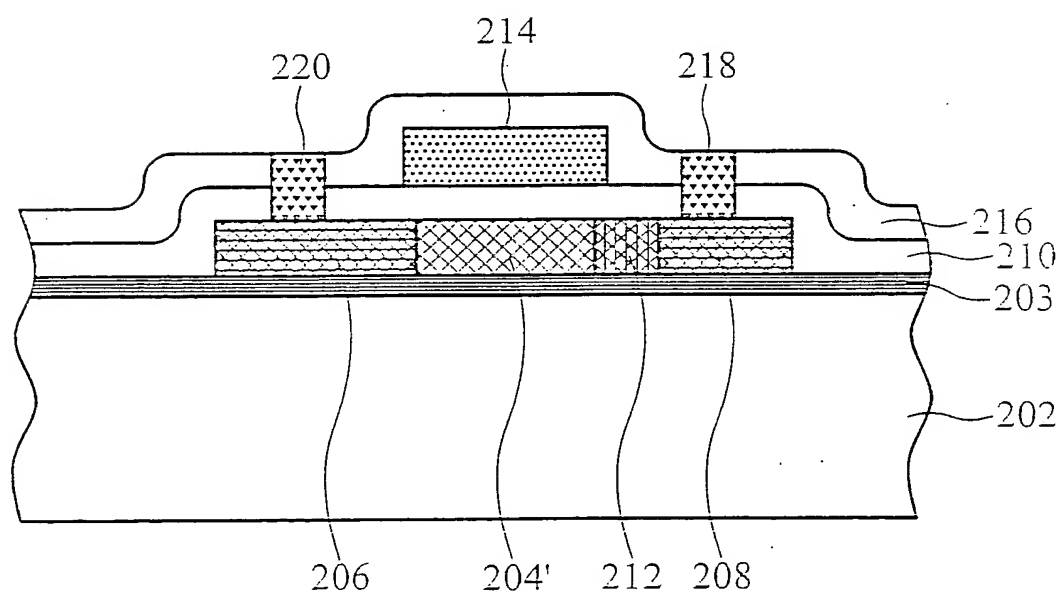
第 2C 圖



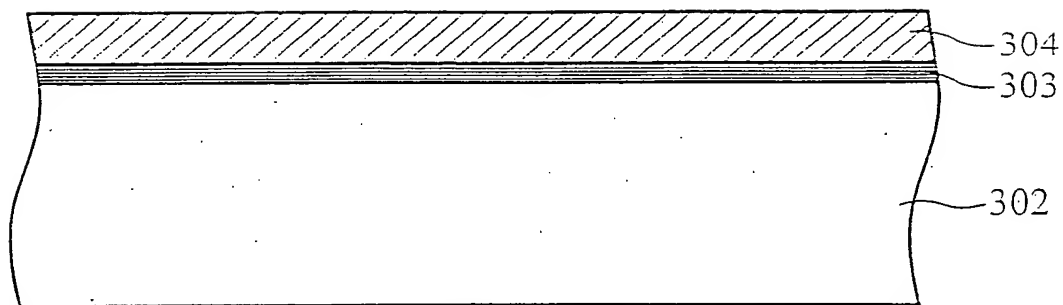
第 2D 圖



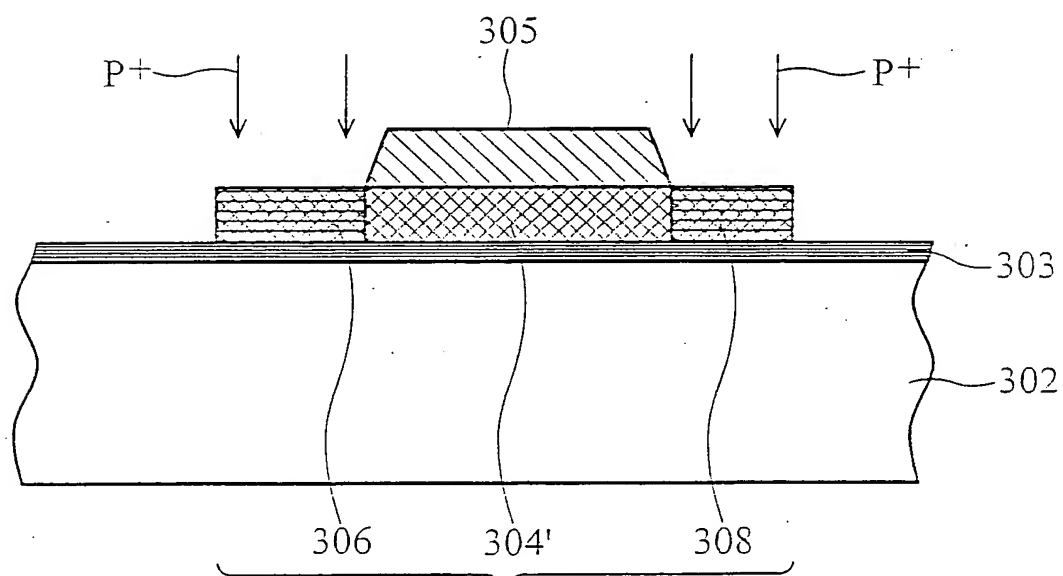
第 2E 圖



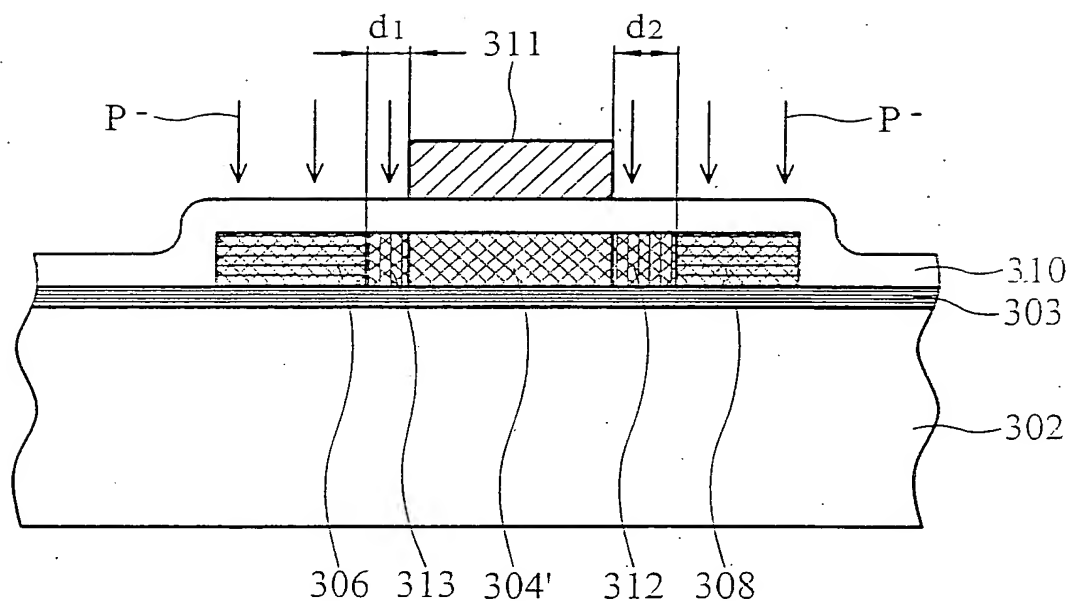
第 2F 圖



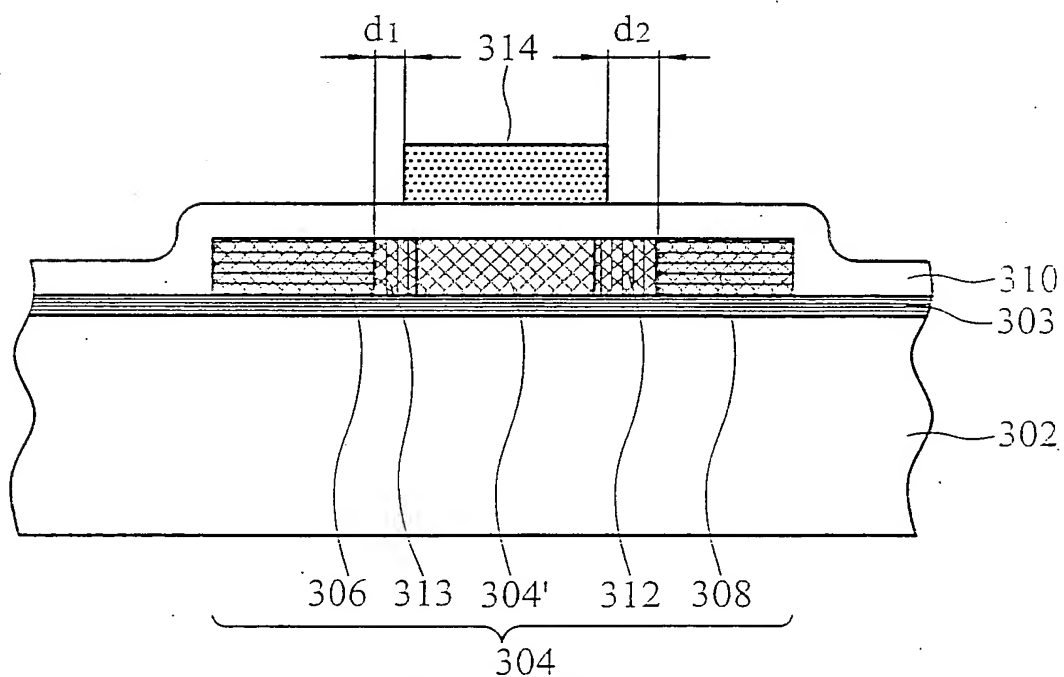
第 3A 圖



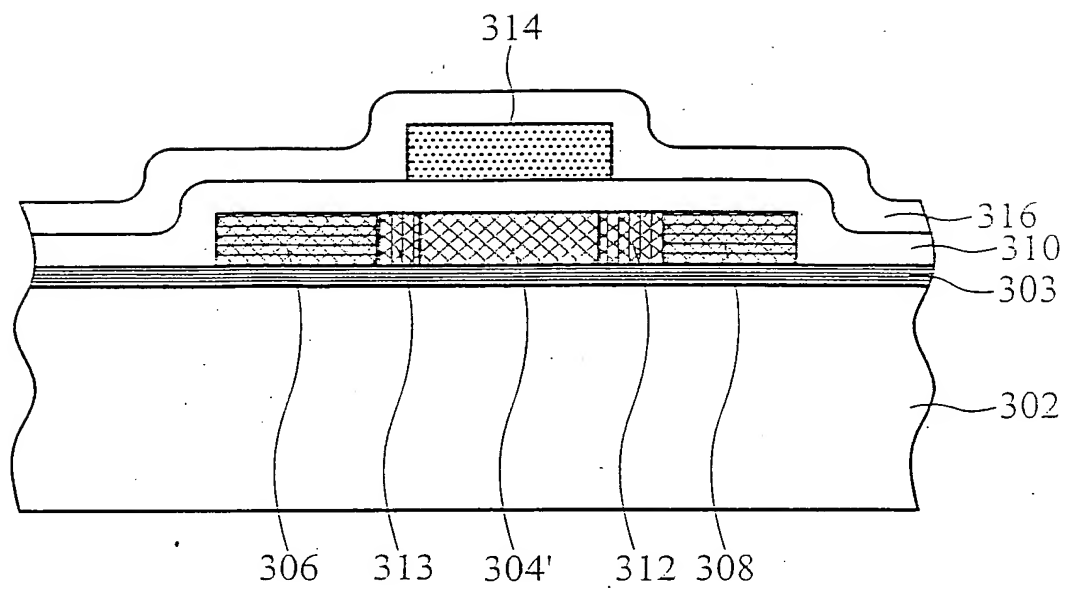
第 3B 圖



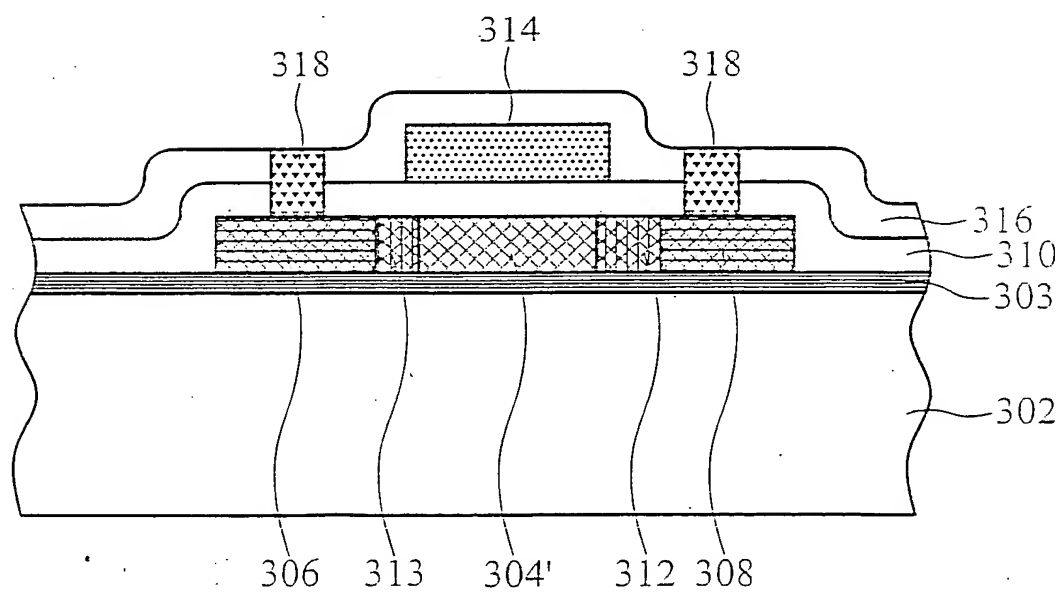
第 3C 圖



第 3D 圖



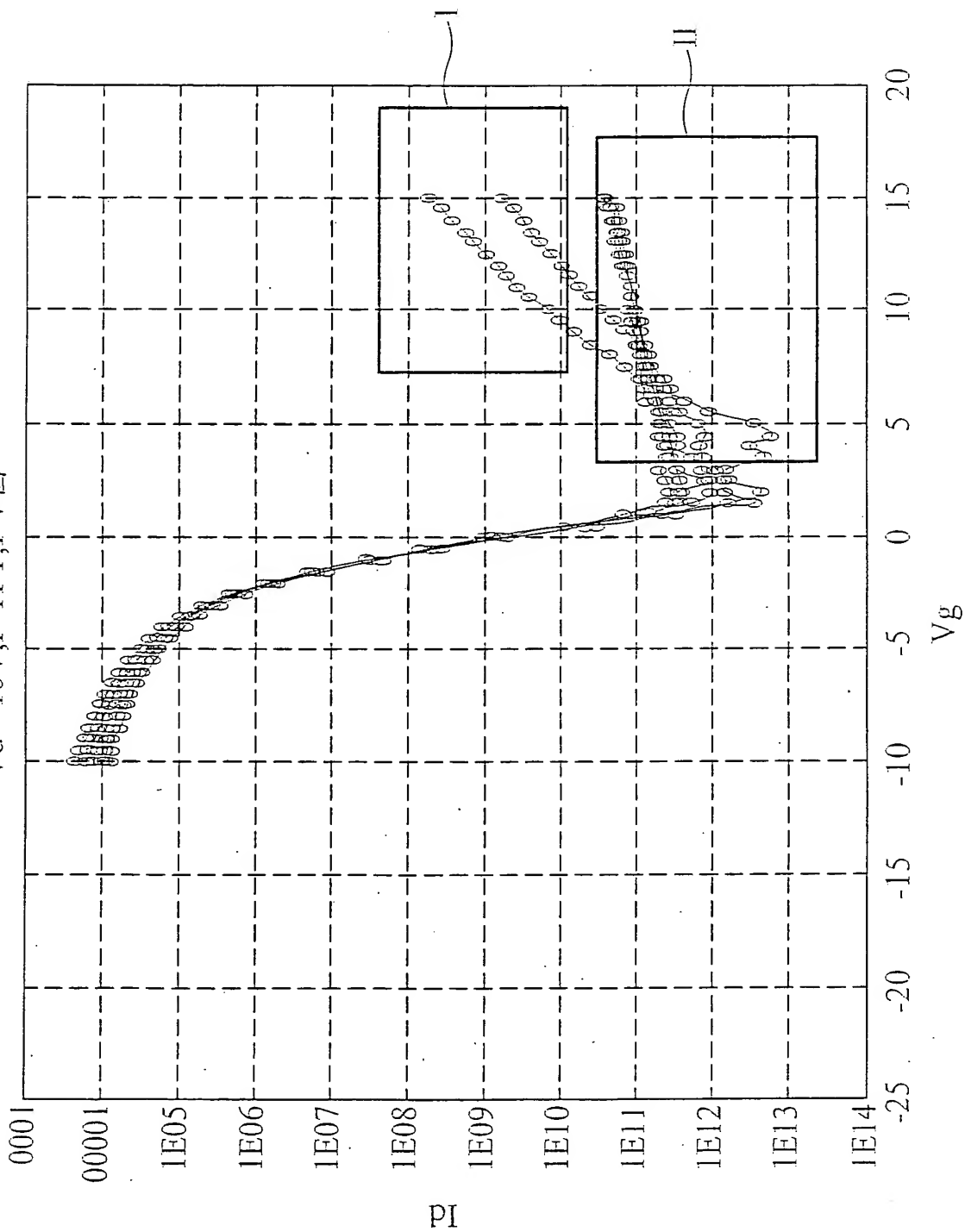
第 3E 圖



第 3F 圖

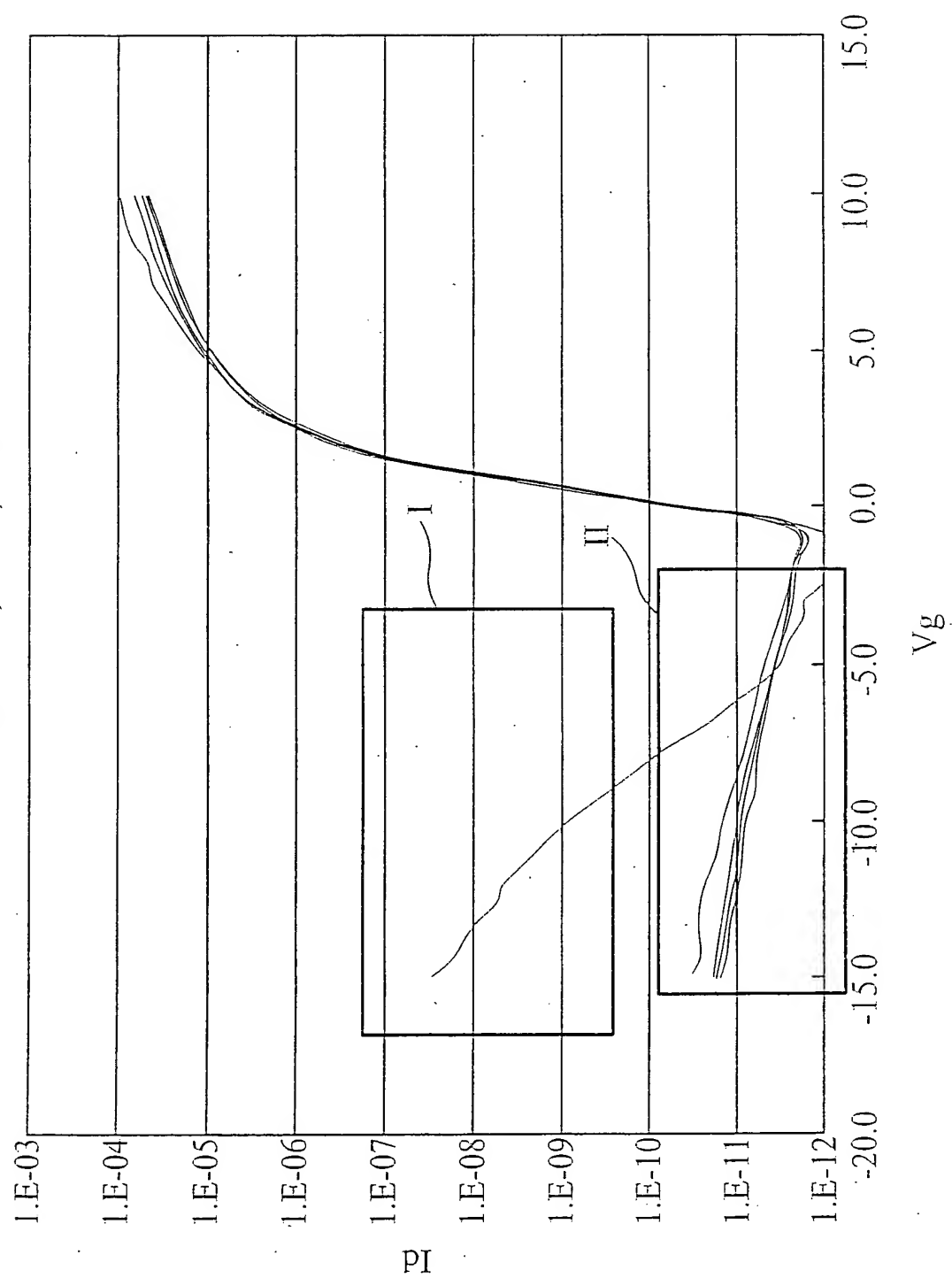


$V_d = -10V$ ; P-TFT; I-V 圖



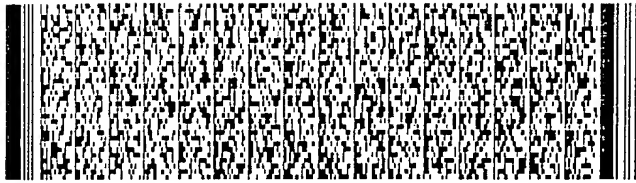
第4A圖

$V_d = -10V$ ; P-TFT; I-V 圖

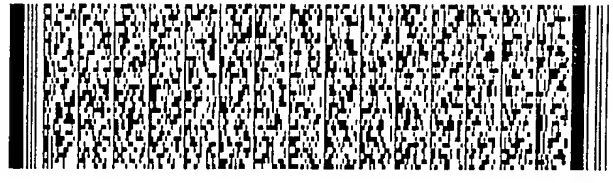


第 4B 圖

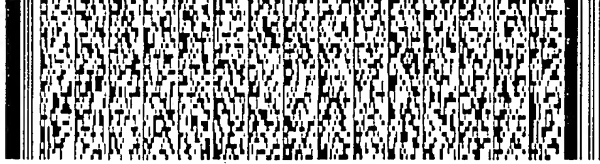
第 1/23 頁



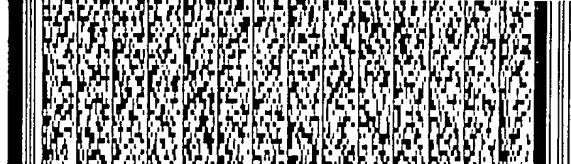
第 2/23 頁



第 2/23 頁



第 3/23 頁



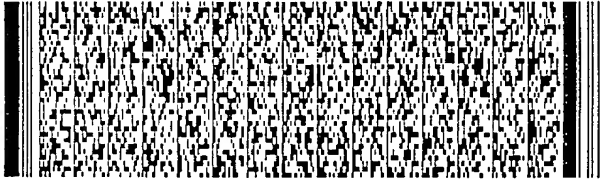
第 4/23 頁



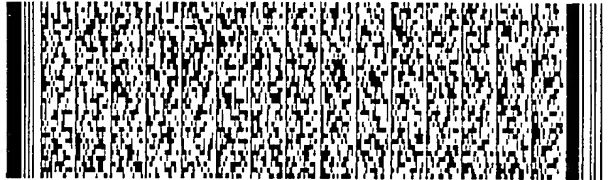
第 5/23 頁



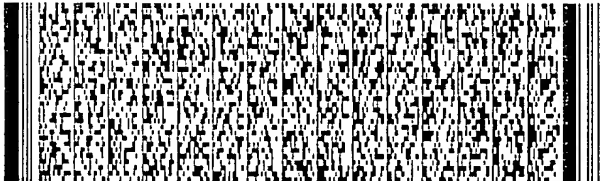
第 6/23 頁



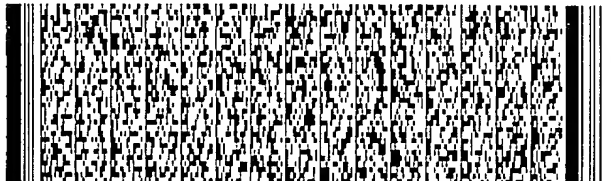
第 6/23 頁



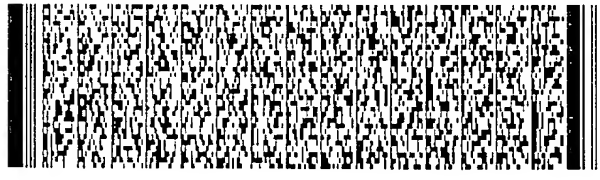
第 7/23 頁



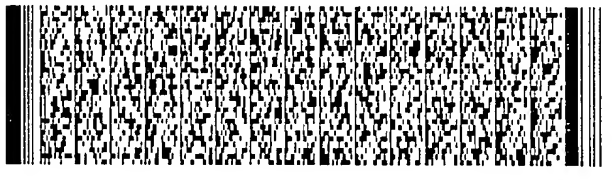
第 7/23 頁



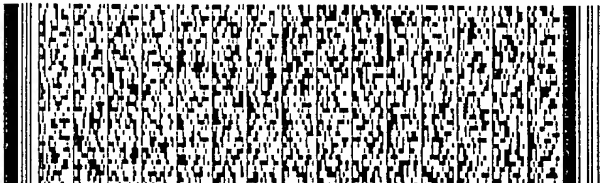
第 8/23 頁



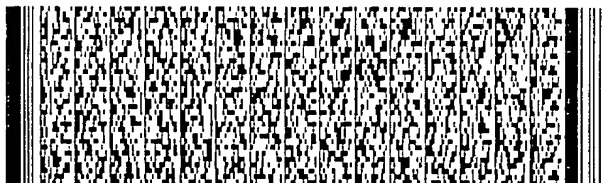
第 8/23 頁



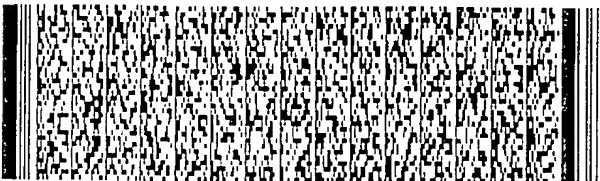
第 9/23 頁



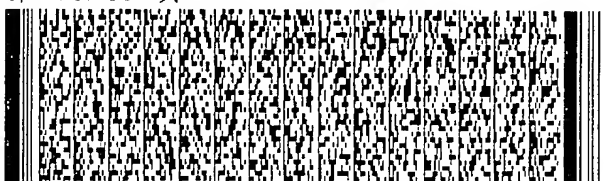
第 9/23 頁



第 10/23 頁



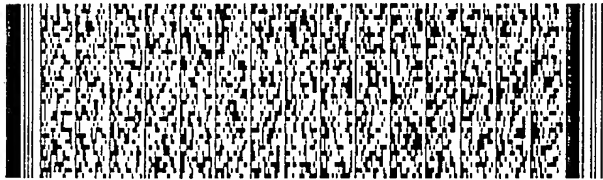
第 10/23 頁



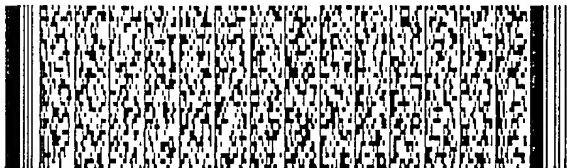
第 11/23 頁



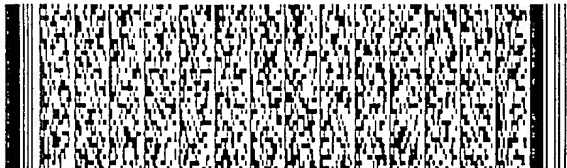
第 12/23 頁



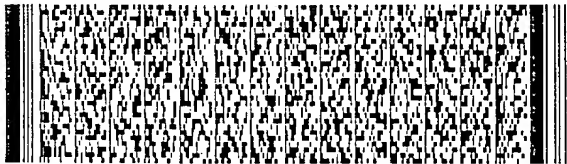
第 13/23 頁



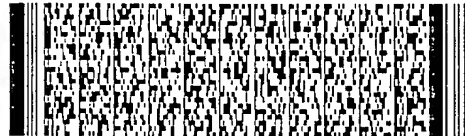
第 14/23 頁



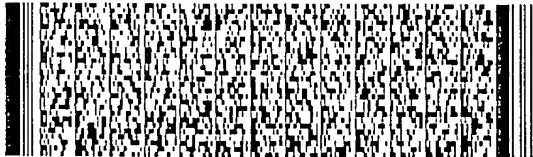
第 15/23 頁



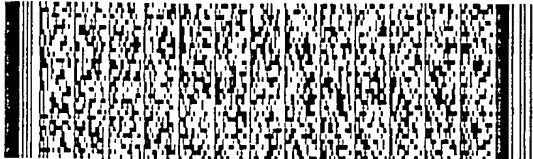
第 17/23 頁



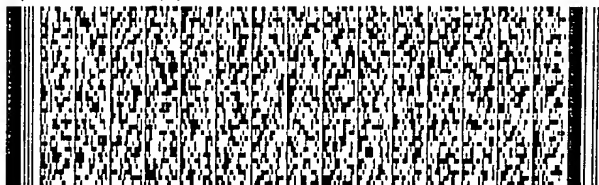
第 18/23 頁



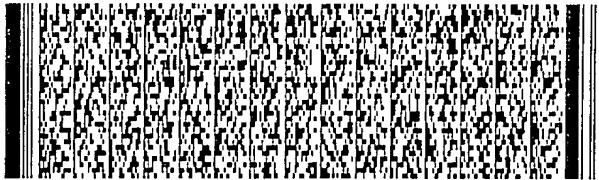
第 19/23 頁



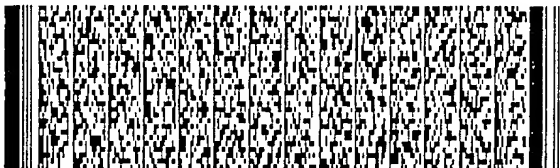
第 11/23 頁



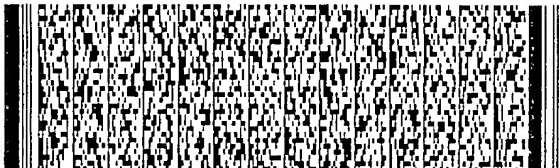
第 12/23 頁



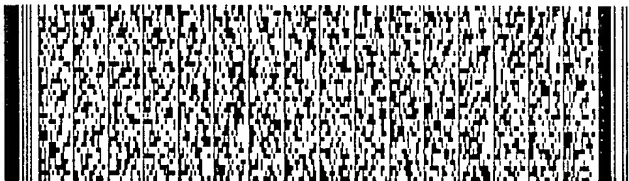
第 13/23 頁



第 14/23 頁



第 16/23 頁



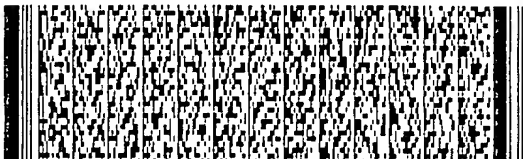
第 18/23 頁



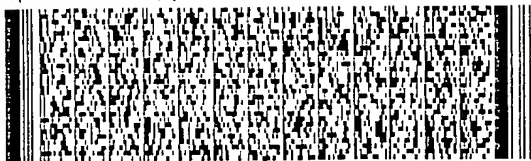
第 19/23 頁



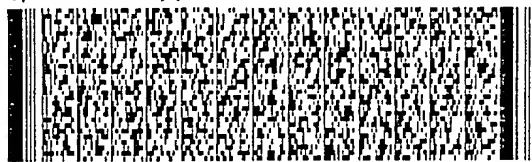
第 20/23 頁



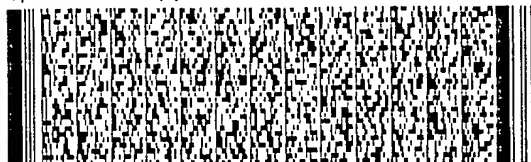
第 20/23 頁



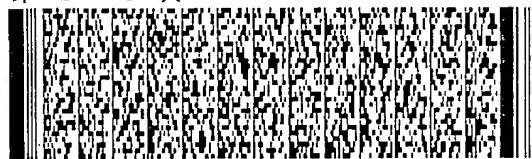
第 21/23 頁



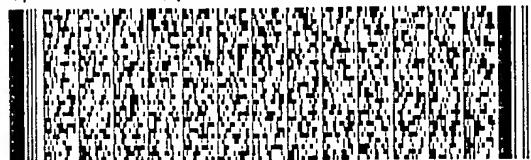
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

